

LISTA DE TĂIETURI PLACA DE BAZĂ (VERDE) - FAȚA 1

CONEXIUNEA CARE SE ÎNTRERUPE				
TĂIETURA	DE LA (OUT) cip/pin (semnal, tip)	LA (IN) cip/pin (semnal, tip)	COMENTARIU	IMPORTANȚĂ
1 (v.0)	U87/11 (trebuia să fie NS0, 7400) pag.51	U86/11 (trebuia să fie I, 7407) pag.53	<b>Traseu greșit pe cablajul original:</b> Pe placa de bază originală, poarta U87/13,12,11 era legată între U85/12 și U86/11 ca inversor pt. semnalul I între U85 și U86. Asta era o greșeală și tăietura de față restaurează schema (corectă) originală. Vezi și tăieturile #20 și #24 pe fața 2. Cealaltă placă de bază (gri) nu are această tăietură, dar nu au fost probleme întrucît semnalele R, G, B, I, nu au fost niciodată folosite direct cu un monitor.	Critică. Afectează video. Afectează RS232.
2 (v.0)	U79/10 (S0, 8255) pag.50	R87/1 (trebuia să fie /S0, RS232 out) pag.51	<b>Traseu greșit pe cablajul original:</b> S0 legat direct la R87/1. S0 era legat direct la R87, în loc să fie trecut printr-un inversor (poarta U87/11,12,13, vezi pag. 51). Această greșeală este corectată aici întrerupînd S0 și apoi reconectîndu-l cu un fir (#18) la U87/12 pe fața 2 a plăcii de bază. <b>Această tăietură este echivalentă cu tăietura #20 de pe fața 2. Una singură din ele ar fi fost suficientă.</b> Cealaltă placă de bază (gri) nu are această tăietură, dar nu au fost probleme întrucît nu am folosit niciodată interfața serială.	Medie. Afectează RS232.
3,4	VCC	U89/1 (27512) pag.42	Două tăieturi făcute pentru deconectarea pin 1 al U89 (A15) de la VCC și folosirea lui pentru a selecta între două seturi de 32KB (a câte 2 sisteme de operare) stocate în EPROM. Asta era făcut manual cu un switch. Selecția între două sisteme de operare diferite (16KB fiecare) dintr-un set se face din tastatură în configurația de pornire.	Opțională. Pt. EPROM 64KB.
5 (v.0)	R107 (JSC) pag.50	J6/10	Placa de bază originală avea JSC conectat la j6/pin10 dar manualul original avea JSC listat la j6/pin8. Am schimbat cablajul pentru a coincide cu manualul original. Vezi legătura #1 de pe fața 1.	Medie. Afectează Joystick.
6	U56/4 (NOES, 7442) pag.41	U70/12 (NOES, 7442) pag.42	Tăietură făcută pt. redirectionarea NOES direct la unicul EPROM (27512). Dacă se folosește un cip unic pentru memoria BASIC, nu e nevoie ca NOES să mai fie multiplexat prin U70. De fapt, U70 devine complet inutil. Cealaltă placă de bază (gri) are tăieturi și reconectări diferite dar echivalente.	Opțională. Funcție de configurația memoriei EPROM.
7	U56/9 (NCS3, 7442) pag.41	R34/R33 (NCAS DRAM bank #3) pag.43	Tăietură făcută pt. deconectarea DRAM bank #3 de la vechiul semnal NCS3 în scopul "modificării de 64KB".	Opțională. Pentru memorii DRAM de 64Kb.
8	U55/6 (NCS0, 7400) pag.41	R26/R25 (NCAS DRAM bank #0) pag.43	Tăietură făcută pt. deconectarea DRAM bank #0 de la vechiul semnal NCS0 în scopul "modificării de 64KB".	Opțională. Pentru memorii DRAM de 64Kb.
9	U54/11 (7400) pag.41	U55/5 (7400) pag.41	Tăietură făcută pt. inserarea unui întrerupător manual pe semnalul de R/O pentru primii 16KB de memorie (în configurația de BASIC). Întrerupătorul este folosit pentru a face zona Basic R/W în Basic-ul cu NMI înainte de a apăsa butonul NMI deoarece starea procesorului este salvată în zona de Basic întrucît restul memoriei trebuie salvat intact pentru a păstra conținutul original al programului „crăcuit”.	Opțională. Pentru NMI Crack.
10	U36/9 (L06, 7474) pag.41	U35/9 (7486) pag.41	Tăietură făcută pt. deconectarea U35/9 de la L06, în scopul "modificării de 80KB". În această configurație U35/9 trebuie conectat la P0 în loc de L06.	Opțională. Pentru 80KB memorie totală DRAM.
11 (v.0)	u74/4 (BA7, 7407) pag.40	JEXA/8 pag.38	<b>Traseu greșit pe cablajul original:</b> BA7 legat la interfața floppy prin JEXA/8. În mod corect, BA1 ar trebui legat la JEXA/8. Vezi legătura #22 pe fața 2.	Critică. Afectează interfața floppy.
12	U13/2 (AC5, 74193), pag.45 U14/2 (AC5, 7410), pag.48	U15/2, (7474) pag.45	Pe cablajul original fața 1, există un traseu de la U13/2 la U14/2,9 și mai departe la U15/2. În scopul "modificării de 80 caractere/linie în CP/M" traseul trebuie tăiat imediat lângă U15/2, păstrînd legătura dintre U13/2 și U14/2,9.	Opțională. Pentru 80 caractere pe linie în CP/M.
13 (v.0)	GND	R107	<b>Traseu greșit pe cablajul original:</b> Pe cablajul original, R107 este legată în mod greșit la GND în loc de VCC. Această tăietură separă R107 de GND și apoi legătura #19 pe fața 2 reface legătura la VCC.	Medie. Afectează Joystick.
14	VCC	U24-31/9	Memoriile 16Kb DRAM (KP565PY6) au pin 9 N.C.; memoriile 64Kb DRAM (KP565PY5), pe de altă parte, au pin 9 funcțional ca adresa A7. Pe placa de bază verde am folosit cipuri 64Kb DRAM în bank #0 (imediat deasupra memoriei video, bank #1). Cablajul original avea pinii 9 ai U24-31 (bank #0) legați la VCC și apoi pe spatele plăcii rezistențele R10-17 (vezi pag.40) erau legate la VCC pe pinii 9 ai U24-31. Acum că am folosit cipuri de 64Kb DRAM pentru bank #0 ("modificarea de 64KB") R10-17 au trebuit să fie deconectate de la pinii 9 ai DRAM bank #0 și recablate la VCC în altă parte. Vezi tăieturile #A0-A6 pe fața 2 a plăcii de bază și #A7 pe fața 1. Vezi de asemenea legăturile #A0-A7 pe fața 2 a plăcii de bază.	Opțională. Pentru memorii DRAM de 64Kb.
A7	U24-31/9 (N.C., 4116)	R17/VCC	VEZI COMENTARIUL DE MAI SUS	Opțională. Pentru memorii DRAM de 64Kb.

NOTĂ:

Aici sînt considerate 3 modificări posibile, toate aplicate schemelor originale (evident după ce toate modificările critice importante (bug-fix-uri arătate în culori în ultima coloană) au fost făcute pt. ca proiectul să fie într-adevăr funcțional):

— "Modificarea de 64 KB". Aceasta constă în toate modificările necesare pentru ca microcalculatorul să folosească un singur bank DRAM de cipuri de 64Kb în loc de 3 bank-uri separate (#0, #2, #3) de cipuri de 16KB. În această configurație calculatorul NU folosește toți cei 80KB total DRAM disponibili, folosește numai 48KB din noul 64KB bank DRAM plus memoria video (DRAM bank #1) care rămîne neschimbată. Deci memoria totală DRAM utilizabilă este tot de 64KB. Noul bank de 64KB DRAM poate fi instalat în locul oricăruia din vechile bank-uri (#0, #2 sau #3). Aici se folosesc memorii DRAM cu o singură tensiune (originalele 4116 aveau 3 tensiuni!!!). Această modificare este primul pas absolut necesar către...

— "Modificarea de 80 KB". Aceasta constă în toate modificările necesare (aplicate după "Modificarea de 64 KB") pentru ca microcalculatorul să fie capabil să adreseze și să folosească toți cei 80KB total DRAM instalat.

— "Modificarea de 80 caractere pe linie în CP/M". Aceasta se folosește de zona de border stîngă+dreaptă în CP/M lărgind zona de text disponibilă la maxim 80 caractere pe linie.

LISTA DE TĂIETURI PLACA DE BAZĂ - FAȚA 2

CONEXIUNEA CARE SE ÎNTRERUPE				
TĂIETURA	DE LA (OUT) cip/pin (semnal, tip)	LA (IN) cip/pin (semnal, tip)	COMENTARIU	IMPORTANȚĂ
1	U55/11 (CS1, 7400) pag.41	U76/13 (fost CS1, 8212) pag.47	Semnalul original CS1 este deconectat de la U76/13 în scopul "modificării de 80KB" descrisă la pagina 54 a manualului hardware.	Opțională. Pentru 80KB memorie totală DRAM.
2	U55/11 (CS1, 7400) pag.41	U55/10 (7400) pag.41	Tăietură făcută pt. deconectarea completă a porții U55/10,9,8 de la restul plăcii de bază. Pe plăcile mele de bază această poartă a rămas nefolosită.	Opțională.
3	U02/9 (NVMA, 7474) pag.44	U55/9 (7400) pag.41	Tăietură făcută pt. deconectarea completă a porții U55/10,9,8 de la restul plăcii de bază. Pe plăcile mele de bază această poartă a rămas nefolosită.	Opțională.
4	u55/8 (fost NCS1, 7400) pag.41	u02/1 (7474) pag.44	Această poartă (U55/10,9,8) era folosită pt. generarea semnalului NCS1 (pentru memoria video) în configurația cu 64KB memorie totală. În configurația de "80KB memorie DRAM" semnalul NCS1 este generat după cum se descrie la pagina 54 a manualului hardware și de aceea ieșirea acestei porți devine inutilă. Vezi de asemenea tăieturile #2 și #3 de mai sus.	Opțională. Pentru 80KB memorie totală DRAM.
5 (v.0)	U36/5 (PO, 7474) pag.41	U36/1 (7474) pag.41	Traseu greșit pe cablajul original: PO dus la intrarea U36/1.	Critică. Afectează pornirea calculatorului.
6	U35/9 (intrare, fost L06, 7474) pag.41	U52/2 (intrare, fost L06, 7410) pag.41	Tăietură făcută pt. deconectarea U35/9 de la U52/2. Schema originală avea aceste două intrări legate la semnalul L06 de la U36/9. Vezi și tăietura #10 pe fața 1 care separă U35/9 de U36/9 (L06). Această tăietură este echivalentă cu tăietura #9. Una singură din ele ar fi fost de ajuns.	Opțională. Pentru 80KB memorie totală DRAM.
7	U71/12 (BA14, 7407) pag.40	U35/2 (7486) pag.41	Tăietură făcută pt. deconectarea U35/2 de la semnalul BA14. U35/2 va fi apoi legat la U36/6 (NPO) astfel că poarta U35/1,2,3 va genera funcția NL06 xor NPO pentru folosire mai departe în "modificarea de 80 caractere pe linie în CP/M". Vezi și tăieturile #8 și #10.	Opțională. Pentru 80 caractere pe linie în CP/M.
8	U35/3 (AB14, 7486) pag.41	U56/15 (7442) pag.41	Tăietură făcută pt. deconectarea U56/15 de la semnalul AB14 și legarea U56/15 direct la BA14. Ieșirea U35/3 va fi apoi conectată la restul de circuit care formează "modificarea de 80 caractere pe o linie în CP/M". Vezi și tăieturile #7 and #10.	Opțională. Pentru 80 caractere pe linie în CP/M.
9	U35/9 (intrare, fost L06, 7474) pag.41	U52/2 (intrare, fost L06, 7410) pag.41	Schema originală arată U52 ca fiind un 7410 (3 porți NAND cu 3 intrări) și poarta U52/11,10,9,8 ca fiind conectată ca inversor între ieșirea U52/12 și intrarea U35/1. În realitate, cablajul original avea U52/12 conectat direct la U35/1 și U52 era deci presupus a fi un 7411 (3 porți AND cu 3 intrări), nu un 7410. Această tăietură este făcută în scopul "modificării de 80KB". Conform acestei modificări, BA14 merge direct la U56/15 și deci porțile U52/1,2,13,12 și U52/11,10,9,8 și U35/1,2,3 nu mai sînt folosite, deci U52/2 este izolat prin această tăietură. Această tăietură este echivalentă cu tăietura #6. Una singură din ele ar fi fost de ajuns.	Opțională. Pentru 80KB memorie totală DRAM.
10	U52/12 (AB1315, 7410) pag.41	U35/1 (intrare, 7486) pag.41	Schema originală arată U52 ca fiind un 7410 (3 porți NAND cu 3 intrări) și poarta U52/11,10,9,8 fiind conectată ca inversor între ieșirea U52/12 și intrarea U35/1. În realitate, cablajul original avea U52/12 direct conectat la U35/1 și U52 era deci presupus a fi un 7411 (3 porți AND cu 3 intrări), nu un 7410. Această conexiune este tăiată aici (#10) și poarta U35/1,2,3 este apoi folosită pentru generarea funcției NL06 xor NPO pentru folosire mai departe în "modificarea de 80 caractere pe linie în CP/M", pentru acest motiv U35/1 este redirecționat la U36/8 (NL06). Vezi și tăieturile #7 și #8.	Opțională. Pentru 80 caractere pe linie în CP/M.
11	U56/7 (NCS2, 7442) pag.41	R41/R42 (NCAS DRAM bank #2) pag.43	Tăietură făcută pt. deconectarea DRAM bank #2 de la vechiul semnal NCS2 în scopul "modificării de 64KB".	Opțională. Pentru memorii DRAM de 64Kb.
12, 13, 14, 15, 16, 17	U70/1,2,7,13,14,15 pag.42		Tăieturi făcute pt. izolarea U70 de restul circuitului. U70 nu mai e necesar dacă nu se folosesc EPROM-uri 2716/2732 pentru memoria Read-Only. Plăcile mele de bază aveau câte un EPROM 27512 pentru Basic/OPUS/Devil/NMI Basic.	Opțională. Numai cînd se folosește un singur EPROM pentru Basic.
18, 19	VCC	U89/26,27,28 pag.42	Tăieturi făcute pt. separarea pinilor 26, 27 și 28 ai U89, acest loc de pe cablaj fiind folosit pentru un EPROM 27512 (64KB) care conține 4 sisteme de operare diferite (Basic, Basic w/ NMI, Devil, Opus). Pinul 28 rămîne conectat la VCC dar 27 (A14) și 26 (A13) vor fi folosiți pentru selectarea unuia din cele 4 sisteme de operare. Vezi și tăieturile #3 și #4 pe fața 1, care separă pin 1 (A15) de VCC.	Opțională. Numai cînd se folosește un singur EPROM pentru Basic.
20 (v.0)	U79/10 (S0, 8255) pag.50	R87/1 (S0, RS232 out) pag.51	Traseu greșit pe cablajul original: S0 dus direct la R87/1. S0 era dus direct la R87, în loc să fie trecut printr-un inversor (poarta U87/11,12,13, vezi pag. 51). Această greșeală este corectată aici prin întreruperea S0 și apoi reconectarea lui cu un fir la U87/12 pe fața 2 a plăcii de bază. Această tăietură este echivalentă cu tăietura #2 de pe fața 1. Una singură din ele ar fi fost suficientă. Cealaltă placă de bază (gri) nu are această tăietură, dar nu au fost probleme întrucît nu am folosit niciodată interfața serială.	Medie. Afectează RS232.
21	VBB	DRAM0+2+3/1 (VBB)	VBB ar trebui decuplat de la memoriile cu o singură tensiune, chiar dacă la ele pinul 1 este oricum NC.	Minoră. Afectează DRAM.
22	R34 pag.43	R33 pag.43	Tăietură făcută pt. izolarea R34 și folosirea lui ca rezistor serie de 33Ω între ieșirea U58/4 și intrarea A7 a bancului de 64K memorie DRAM. Același scop ca și tăietura #26.	Opțională. Pentru memorii DRAM de 64Kb.

23	R91/1 (TI de la U92) pag.51	U79/38 (TI, 8255) pag50	Conexiune întreruptă pentru a permite intercalarea ieșirii de casetă a altei plăci de bază (semnal audio de încărcare de la altă placă de bază în loc de bandă magnetică)	Minoră. Adăugată ca îmbunătățire.
24 (v.0)	U85/12 (I, 74157) pag.49	U87/13+12 (ar trebui să fie RS232 out) pag.51	<b>Traseu greșit pe cablajul original:</b> I dus la intrările U87/13+12. Această tăietură deconectează I de la U87/13+12 iar apoi legătura #21 de pe fața 2 reconectează I la U86/11 conform schemei originale.	<b>Critică.</b> <b>Afectează video.</b> <b>Afectează RS232.</b>
25 (v.0)	U85/13 (intrarea B4 la 74157) pag.49	U80/3, U81/11 pag.49	<b>Traseu greșit pe cablajul original:</b> Legătură directă de la U81/11 la U80/3 în loc de o diodă între ele.	Medie. Afectează opțiunea de Flash (clipire).
26	VCC pag.43	R34 pag.43	Tăietură făcută pt. izolarea R34 și folosirea lui ca rezistor serie de 33Ω între ieșirea U58/4 și intrarea A7 a bancului de 64K memorie DRAM. Același scop ca și tăietura #22.	Opțională. Pentru 80KB memorie totală DRAM.
27	U74/6, R70 (BCLK, 7407) pag.40	J8A+B+C/32	Tăietură făcută pt. deconectarea pinului 32 al J8A, J8B, J8C (conector extensie) de la BCLK. Acest semnal a fost apoi generat separat cu un cip 7407 suplimentar care avea o intrare legată la semnalul CLK de pe placa de bază. Acest cip era pur și simplu montat călare pe U74 pe placa de bază verde. Scopul era de a evita supraîncărcarea semnalului BCLK de pe placa de bază cu eventuale circuite suplimentare cuplate pe conectorul de extensie (de ex. programator EPROM).	Opțională.
28	U70/8, R53 (BNM1, 7407) pag.40	J8C/26	La fel ca mai sus, pentru BNM1.	Opțională.
29	U71/4, R46 (BNIORQ, 7407) pag.40	J8C/24	La fel ca mai sus, pentru BNIORQ.	Opțională.
30	U56/3 (NOEB, 7442) pag.41	U89/22 (intrarea NOE la 27512) pag.42	Pe placa de bază verde am folosit spațiul de montare al U23 pt. a instala EPROM-ul de boot (2716) și spațiul de montare al U89 pt. a instala EPROM-ul BASIC (adică invers față de proiectul original). În această configurație U70 (7442, vezi pag.42) devine inutil de vreme ce există un singur cip pt. EPROM BASIC în loc de 8. Deci această tăietură deconectează U89/22 (unde se ducea NOEB) de la U56/3. Vezi și legătura #5 pe fața 1.	Opțională. Pentru EPROM BASIC montat în locul EPROM BOOT.
A0	U24-31/9 (N.C., 4116)	R10/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A1	U24-31/9 (N.C., 4116)	R11/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A2	U24-31/9 (N.C., 4116)	R12/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A3	U24-31/9 (N.C., 4116)	R13/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A4	U24-31/9 (N.C., 4116)	R14/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A5	U24-31/9 (N.C., 4116)	R15/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A6	U24-31/9 (N.C., 4116)	R16/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.

LISTA DE LEGĂTURI SUPLIMENTARE - FAȚA 1

CONEXIUNEA CARE SE ADAUGĂ				
LEGĂTURA	DE LA (OUT) cip/pin (semnal, tip)	LA (IN) cip/pin (semnal, tip)	COMENTARIU	IMPORTANTĂ
1 (v.0)	R107 (JSC) pag.50	J6/8	Traseu greșit pe cablajul original: cablajul original avea JSC conectat la J6/pin10 pe cînd manualul original avea JSC listat la J6/pin8. Am schimbat cablajul pentru a corespunde cu manualul original. Vezi și tăietura #5 pe fața 1.	Medie. Afectează Joystick.
2	SB/3 (BA11, U74/12) pag.42	SB/4 (pin 23, U89) pag.42	Placa mea de bază verde nu avea switch-ul SB instalat, în loc de asta am pus un strap între găurile pinilor 3 și 4 ai SB pentru a conecta adresa BA11 la EPROM-ul 27512.	Opțională. Afectează EPROM.
3	VCC	VCC	Legătură făcută pentru deconectarea pin 1 al U89 (A15 de la EPROM 27512) de la VCC și folosirea lui ca linie de adresă.	Opțională. Pentru 64KB EPROM.
4	VCC	VDD	Legătură făcută în scopul transformării liniei VDD care se duce la cipurile DRAM într-o linie VCC, care este mai departe folosită pentru realizarea legăturilor numerotate A0-A7 de pe fața 2 (n-am folosit memorii cu 3 tensiuni pentru care cablajul a fost proiectat inițial).	Opțională. Pentru memorii DRAM cu o singură tensiune.
5	U56/3 (NOEB, 7442) pag.41	U23/20 (2716) pag.42	Pe placa de bază verde am folosit spațiul de montare al U23 pt. a instala EPROM-ul de boot (2716) și spațiul de montare al U89 pt. a instala EPROM-ul BASIC (adică invers față de proiectul original). În această configurație U70 (7442, vezi pag.42) devine inutil de vreme ce există un singur cip pt. EPROM BASIC în loc de 8. Deci această legătură este făcută în scopul direcționării semnalului NOEB la U23/20 în loc de U89/22. Pentru același motiv, tăietura #30 de pe fața 2 deconectează U89/22 (unde NOEB se ducea înainte) de la U56/3.	Opțională. Pt. EPROM BOOT instalat ca U23.
6	U56/4 (NOES, 7442) pag.41	U89/22 (27512) pag.42	Pe placa de bază verde am folosit spațiul de montare al U23 pt. a instala EPROM-ul de boot (2716) și spațiul de montare al U89 pt. a instala EPROM-ul BASIC (adică invers față de proiectul original). În această configurație U70 (7442, vezi pag.42) devine inutil de vreme ce există un singur cip pt. EPROM BASIC în loc de 8. Deci această legătură este făcută în scopul direcționării semnalului NOES la U89/22 în loc de U70/12 unde se ducea înainte (vezi pag. 42).	Opțională. Pt. EPROM BASIC instalat ca U89.

LISTA DE LEGĂTURI SUPLIMENTARE - FAȚA 2

CONEXIUNEA CARE SE ADAUGĂ				
LEGĂTURA	DE LA (OUT) cip/pin (semnal, tip)	LA (IN) cip/pin (semnal, tip)	COMENTARIU	IMPORTANTĂ
1 (v.0)	U36/9 (L06, 7474) pag.41	U36/1 (7474) pag.41	Traseu greșit pe cablajul original: această conexiune există deja în schemele originale, dar cablajul original are o greșeală prin care U36/1 e legat la U36/5 (PO) în loc de U36/9 (L06). Vezi și tăietura #5 pe fața #2.	Critică. Afectează pornirea calculatorului.
2	U36/9 (L06, 7474) pag.41	U52/2 (intrare, fost L06, 7410) pag.41	Ca urmare a tăieturilor #10 de pe fața 1 și #6 de pe fața 2, U52/2 este deconectat de la semnalul L06. Legătura de față restaurează L06 la U52/2, ceea ce este necesar numai pentru configurația cu 64KB total memorie DRAM. Dar întrucît tăieturile #10 de pe fața 1 și #6 de pe fața 2 sînt necesare numai pentru configurația cu 80KB total memorie DRAM, se pare că legătura de față e inutilă oricum. Singurul ei folos a fost că pe placa mea de bază a furnizat un nou punct de lipire pentru semnalul L06 la care am legat alte fire spre cablajele adiționale montate deasupra.	Nici una. Inutilă.
3	U36/8 (NL06, 7474) pag.41	U35/1 (7486)	Legătură făcută pentru generarea funcției NL06 xor NPO pentru folosire mai departe în "modificarea de 80 caractere pe linie în CP/M". Poarta U35/1,2,3 este complet separată de schema originală și refolosită pentru generarea acestei funcții.	Opțională. Pentru 80 caractere pe linie în CP/M.
4	U36/6 (NPO, 7474) pag.41	U35/2 (7486)	LA FEL CA MAI SUS	Opțională. Pentru 80 caractere pe linie în CP/M.
5	U36/5 (PO, 7474) pag.41	U35/9 (7486)	Necesar pentru "modificarea de 80KB".	Opțională. Pentru 80KB memorie totală DRAM.
6	U36/12 (O6 de la U79, 7474) pag.41	U52/4 (7411)	Necesar pentru "modificarea de 80KB". Poarta U52/3,4,5,6 este folosită pt. a genera funcția AND între O6, L06 și CS1, al cărei rezultat este aplicat la U76/13 (8212) în loc de CS1.	Opțională. Pentru 80KB memorie totală DRAM.
7	U36/1 (L06, 7474) pag.41	U52/3 (7411)	LA FEL CA MAI SUS	Opțională. Pentru 80KB memorie totală DRAM.
8	U55/11 (CS1, 7400) pag.41	U52/5 (7411)	LA FEL CA MAI SUS	Opțională. Pentru 80KB memorie totală DRAM.
9	U52/6 (7411)	U76/13 (8212)	LA FEL CA MAI SUS	Opțională. Pentru 80KB memorie totală DRAM.
10	U71/12 (BA14, 7407) pag.40	U56/15 (7442) pag.41	Necesar pentru "modificarea de 80KB". După tăietura #8 de pe fața #2, U56/15 este deconectat de la U35/3 și apoi reconectat la BA14.	Opțională. Pentru 80KB memorie totală DRAM.
11	U71/12 (BA14, 7407) pag.40 ----- SAU(!!!) ----- U56/15 (7442) pag.41	U58/3 (74157) pag.43 ----- SAU(!!!) ----- U58/3 (74157) pag.43	Necesar pentru "modificarea de 80KB". (ASTA INCLUDE ALTERNATIVA DE MAI JOS) ----- SAU(!!!) ----- Necesar pentru "modificarea de 64KB".	Opțională. Pentru 80KB memorie totală DRAM. ---- SAU(!!!) ---- Pentru memorii DRAM de 64Kb.

12	U17/12 (VLD de la U37/6, 7400) pag.41	U79/25 (intrarea PB7, 8255) pag.50	INEXPLICABIL Poate vrea rutina CP/M citește portul de Joystick pentru a detecta nivelul de "1" al VLD pentru ceva întreruperi?? Placa gri nu are această legătură. Linia PB7 a portului de Joystick nu e folosită.	Nedeterminată.
13	U35/8 (7486) pag.41	U58/2 (74157) pag.43	Necesar pentru "modificarea de 64KB".	Opțională. Pentru memorii DRAM de 64Kb.
14	U58/4 (A7 pt. DRAM 64K, 74157) pag.43	R34 pag.43	R34 e folosit ca rezistor de 33Ω în serie pe noua linie de adresă A7 pentru DRAM, în configurația cu cipuri DRAM de 64Kb. În acest caz (al plăcii de bază verzi) am folosit bancul #0 DRAM pentru cipurile DRAM de 64KB și am schimbat R34 la 33Ω în loc de 1KΩ, recablind-o la noua linie de adresă A7 pentru DRAM și la U58/4. Puteau fi folosite și găurile de montare ale altui rezistor neutilizat, R34 nu e singura opțiune.	Opțională. Pentru memorii DRAM de 64Kb.
15	R34 (A7 for DRAM 64K) pag.43	U31/9 (A7, 4164 DRAM chip)	LA FEL CA MAI SUS	Opțională. Pentru memorii DRAM de 64Kb.
16	D16/1 (BA13 de la U72/12) pag.40	U89/26 (A13, 27512 EPROM) pag.42	Necesar pentru EPROM BASIC de 64KB.	Opțională Pentru EPROM 64KB.
17	U79/10 (S0, 8255) pag.50	U89/27 (A14, 27512 EPROM) pag.42	Necesar pentru un EPROM BASIC >=32KB. Pentru EPROM 32KB, selecția între cele două sisteme de operare de 16KB (A14) e făcută de softul din BOOT EPROM prin alegere de la tastatură. Pentru EPROM 64KB, selecția între două seturi de cite 2 sisteme de operare (A15) e făcută manual cu un switch.	Opțională Pt. EPROM >=32KB.
18 (v.0)	U79/10 (S0, 8255) pag.50	U87/12 (7400) pag.51	<b>Traseu greșit pe cablajul original:</b> S0 legat direct la R87/1. S0 era legat direct la R87, în loc să fie trecut printr-un inversor (poarta U87/11,12,13, vezi pag. 51). Această greșeală e corectată întrerupind S0 (vezi tăieturile #2 de pe fața 1 și #20 de pe fața 2) și reconectându-l aici (legătura #18) cu un fir la U87/12 pe fața 2 a cablajului. Vezi și #20 mai jos.	Medie. Afectează RS232.
19 (v.0)	VCC	R107	<b>Traseu greșit pe cablajul original:</b> Pe cablajul original, R107 este legată în mod greșit la GND în loc de VCC. Această legătură restaurează conexiunea la VCC. Vezi și tăietura #13 pe fața 1.	Medie. Afectează Joystick.
20 (v.0)	U87/11	R87	<b>Traseu greșit pe cablajul original:</b> S0 legat direct la R87/1. S0 era legat direct la R87, în loc să fie trecut printr-un inversor (poarta U87/11,12,13, vezi pag. 51). Această legătură reface conexiunea între U87/11 și R87 conform schemei originale. Vezi și legătura #18 de mai sus.	Medie. Afectează RS232.
21 (v.0)	U85/12 (I, 74157) pag.49	U86/11 (7407) pag.53	<b>Traseu greșit pe cablajul original:</b> I legat direct la intrările U87/13+12. Această legătură restaurează I la U86/11 conform schemei originale. Vezi și tăietura #24 pe fața 2.	Critică. Afectează video.
22 (v.0)	U73/4 (BA1, 7407) pag.40	JEXA/8 pag.38	<b>Traseu greșit pe cablajul original:</b> BA7 legat la interfața floppy prin JEXA/8. În mod corect, BA1 ar trebui legat la JEXA/8. Vezi și tăietura #11 pe fața 1.	Critică. Afectează interfața floppy.
23	VCC	U23/21 (VPP/A11, 2716) pag.42	În timpul funcționării normale, VPP ar trebui legat la VCC.	Minoră. Afectează EPROM BOOT
24 (v.0)	U34/8 (NVS, 7420) pag.48  sau  U06/6 (74121, circuit suplimentar #2)	JEXA/9 pag.38	<b>Traseu lipsă pe cablajul original:</b> manualul hardware original are listat JEXA/9 ca fiind legat la un semnal "SI/TRG3" care ar trebui să vină de undeva de pe placa de bază. Dar semnalul nu există nicăieri în schemele originale. Placa de bază verde are această legătură pe fața 2 plecând de la U34/8 la o gaură metalizată care pare legată la o „tentativă” de traseu. Gaura e mai departe conectată pe fața 1 la un traseu care în cele din urmă duce la JEXA/9. Aș concluziona că aici e de fapt un traseu lipsă pe cablajul original care este refăcut cu acest fir și că JEXA/9 ar trebui listat ca fiind legat la NVS. <b>NOTĂ:</b> Cealaltă placă (gri) are JEXA/9 legat la U17/12, care la rândul lui este tăiat de la u17/5 și legat la ieșirea 6 de la 74121 (U06/6) din circuitul suplimentar #2. Asta ar explica rostul lui U06, care la placa verde este folosit complet aiurea.	Critică. Afectează interfața floppy.
25 (v.0)	GND	U83/6,7 pag.49	<b>Traseu lipsă pe cablajul original:</b> schema originală arată pinii U83/6,7,8 ca fiind legați împreună, dar cablajul original are doar U83/6,8 legați împreună fără să mai fie legați și la pin 7 (GND).	Critică. Afectează video.
A0	VCC	R10/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A1	VCC	R11/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A2	VCC	R12/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A3	VCC	R13/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A4	VCC	R14/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A5	VCC	R15/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A6	VCC	R16/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.
A7	VCC	R17/VCC	VEZI COMENTARIUL PT. TĂIETURA #14 DE PE FAȚA 1	Opțională. Pentru memorii DRAM de 64Kb.